

Reference 1

Japanese Patent Public Disclosure No. 164958/1980

Date of Public Disclosure: December 23, 1980

Application No. 75397/1980

Application Date: June 4, 1980

Priority: S.N. 455476 (US)

Inventor: Richard David Liza

Applicant: Memorex Corporation

Title: Disk Cache Subsystem

Claim:

A cache subsystem for use in a direct access storage device with a data processing device, for decreasing time taken to retrieve desired data, said subsystem comprises a direct access storage device for storing and detecting data, a data storage device for storing said desired data, and a control device for communicating said direct storage device, said data storage device and said data processing device and for controlling the communication between these devices, said control device enables the time taken to retrieve said desired data from said data storage device to be less than that taken to retrieve said desired data from said direct storage device.

BEST AVAILABLE COPY

STK V. EMC
STK 08827

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭55-164958

⑬ Int. Cl.³
G 06 F 13/04
G 11 C 9/06
// G 11 B 5/09

識別記号

庁内整理番号
7361-5B
7056-5B
7345-5D

⑭ 公開 昭和55年(1980)12月23日

発明の数 1
審査請求 未請求

(全 22 頁)

⑯ ディスク・キャッシュ・サブシステム

⑰ 特 願 昭55-75397

⑱ 出 願 昭55(1980)6月4日

優先権主張 ⑲ 1979年6月4日 ⑳ 米国(US)
㉑ 455476

㉒ 発 明 者 パーツラーフ・ブラディミア・
ホフマイスタ
アメリカ合衆国カリフォルニア
州サラトガ・テレンス・アペニ
ユー12309

㉓ 発 明 者 リチャード・デイビッド・ライ

ザ

アメリカ合衆国カリフォルニア
州サラトガ・ボンネット・ウェ
イ18885

㉔ 出 願 人 メモレックス・コーポレーショ
ン

アメリカ合衆国カリフォルニア
州サンタ・クララ・サン・トマ
ス・アット・セントラル・エク
スプレスウェイ(番地なし)

㉕ 代 理 人 弁理士 山崎行造 外1名
最終頁に続く

明細書の序言(内容に変更なし)
明 細 書

1. 発明の名称

ディスク・キャッシュ・サブシステム

2. 特許請求の範囲

(1) データ処理装置とともに使用し、予定データ
を復元するに要する時間を減少するダイレクト
・アクセス記憶装置のキャッシュ・サブシステ
ムにおいて、データを記憶しかつ復元するダイ
レクト・アクセス記憶装置；前記予定データを
記憶するデータ・メモリ装置；前記ダイレクト
・アクセス記憶装置、前記データ・メモリ装置、
及び前記データ処理装置を相互に結合してこれ
らの間のコミュニケーションを制御する制御装
置であつて、前記予定データを前記データ・メ
モリ装置から復元するに要する時間が前記予定
データを前記ダイレクト・アクセス記憶装置か
ら復元するに要する時間よりも短くする制御
装置を含むことを特徴とするキャッシュ・サ
ブシステム。

(2) 特許請求の範囲第(1)項記載のキャッシュ・サ

ブシステムにおいて、前記制御装置と前記デー
タ処理装置とを結合する記憶制御装置を含むキャ
ッシュ・サブシステム。

(3) 特許請求の範囲第(1)項、又は第(2)項記載のキャ
ッシュ・サブシステムにおいて、前記制御装
置は前記ダイレクト・アクセス記憶装置と前記
データ処理装置とを結合するダイレクト・アクセ
ス記憶装置制御器、及び前記データ・メモリ装
置と前記ダイレクト・アクセス記憶装置制御器
とを結合するデータ・メモリ制御装置を含み、前
記データ・メモリ制御装置は予定データを前記
データ・メモリ装置内に記憶せしめるように設け
られるキャッシュ・サブシステム。

(4) 特許請求の範囲第(3)項記載のキャッシュ・サ
ブシステムにおいて、前記データ・メモリ制御
装置は前記ダイレクト・アクセス記憶装置制御
器と前記データ・メモリ装置とを結合せしめるマイ
クロプロセッサ装置；予定データが前記データ
記憶装置内に記憶せしめられるように前記マイク
ロプロセッサ装置を制御するための前記マイク
ロプロ

- ロセツテ装置代用せられる制御記憶メモリ装置
：及び前記データ・メモリ装置内に記憶されて
いる前記予定データのダイレクト・アクセス記
憶装置アドレスを記憶するスクラフタ・パッド
・メモリ装置を含むキャッシュ・サブシステム、
- (5) 特許請求の範囲第(4)項記載のキャッシュ・サ
ブシステムにおいて、前記データ・メモリ制御
装置と前記ダイレクト・アクセス記憶装置制御
装置を相互に適合するインタフェイス制御装置を
含むキャッシュ・サブシステム、
- (6) 特許請求の範囲第(5)項記載のキャッシュ・サ
ブシステムにおいて、前記インタフェイス制御
装置は前記データ・メモリ装置と前記データ処
理装置間、及び前記データ・メモリ装置と前記
ダイレクト・アクセス記憶装置間ダイレクト
・メモリ・アクセス・データを伝送するダイレ
クト・メモリ・アクセス装置を含むキャッシュ
・サブシステム、
- (7) 特許請求の範囲第(4)項記載のキャッシュ・サ
ブシステムにおいて、前記制御記憶メモリ装置

- 3 -

はマイクロプログラムを含み、前記マイクロプ
ログラムは前記データ・メモリ装置内に記憶
装置がリスト・リセントリ・ユースト (LRU)
アルゴリズムに応じて発生するように設けられ
るキャッシュ・サブシステム、

- (8) 特許請求の範囲第(4)項記載のキャッシュ・サ
ブシステムにおいて、前記サブシステムは前記
データ・メモリ制御装置と適合されるロード/ユニ
タ・マイクロプロセッサ装置を含み、該ロード/
ユニタ・マイクロプロセッサ装置は前記マイク
ロプロセッサ装置が実行するようにマイクロプ
ログラムを前記制御記憶装置にロードし、前記
ダイレクト・アクセス記憶装置サブシステムの
作動をユニタするキャッシュ・サブシステム、
- (9) 特許請求の範囲第(1)項又は第(2)項記載のキャ
ッシュ・サブシステムにおいて、前記データ・
メモリ装置内に含まれる記憶媒体はランダム・
アクセス半導体記憶装置を含むキャッシュ・サ
ブシステム、
- (10) 特許請求の範囲第(9)項記載のキャッシュ・サ

- 4 -

- ブシステムにおいて、前記ランダム・アクセス
半導体メモリ装置は少くとも第1記憶装置と第
2記憶装置を含むキャッシュ・サブシステム、
- (11) 特許請求の範囲第(10)項記載のキャッシュ・サ
ブシステムにおいて、前記第1記憶装置は前
記第2記憶装置よりも速いデータ伝送速度を有
し得るキャッシュ・サブシステム、
- (12) 特許請求の範囲第(1)項又は第(2)項記載のキャ
ッシュ・サブシステムにおいて、前記予定デー
タは固定フィールド・ディメンジョンであり、
前記固定フィールド・ディメンジョンは前記ダイ
レクト・アクセス記憶装置のデータ・フィール
ド構成に相当するように設けられるキャッシュ・
サブシステム、
- (13) 特許請求の範囲第(7)項記載のキャッシュ・サ
ブシステムにおいて、前記データ・メモリ装置
のデータ記憶装置は前記ダイレクト・アクセス
記憶装置の記憶容量よりも小であるように設け
られるキャッシュ・サブシステム、
- (14) 特許請求の範囲第(1)項、又は第(2)項、又は第

- 5 -

(3)項、又は第(4)項記載のキャッシュ・サブシ
ステムにおいて、前記ダイレクト・アクセス記
憶装置は磁気ディスク記憶装置を含むキャッ
シュ・サブシステム、

- (15) 特許請求の範囲第(14)項記載のキャッシュ・サ
ブシステムにおいて、前記予定データのユニ
ットが前記磁気ディスク記憶装置に記憶さ
れているフル・トラックの情報に相当するよう
に設けられるキャッシュ・サブシステム、

2. 発明の詳細な説明

本発明は磁気コンピュータ・ディスク・メ
モリの分野に關する。本発明は、中央処理装置に
よつてしばしば呼び出された情報と、小量の高速
半導体メモリによつてより迅速にアクセスが得る改
良されたサブシステム機構に關する。

システム360の導入以來、IBM中央処理装置に
入力/出力装置を接続するための標準構造が確立
された。中央処理装置は「チャネル」を介して周
辺入力/出力装置と通信している。このチャネル
のインタフェイスによつて、中央処理装置からの

- 6 -

指令を解釈しかつディスク装置へ情報の書き込みを命じ又はディスク装置から情報を検索する記憶制御装置 (SCU) の要領がでる。従来、SCUはディスク制御装置に取付けられ、ディスク制御装置に複数の回転磁気ディスク記憶駆動機構を収容している。上述の型の記憶制御装置はメモレックス (Memorex) 3674 記憶制御装置 [「3674 記憶制御装置操作理論 (3674 Storage Control Unit Theory of Operation)」と題するメモレックス公報 3674.21-00 (Memorex Publication 3674.21-00) に記載されている] である。上述の型のディスク制御装置はメモレックスディスク制御装置 [「3673/75/70 ディスク記憶サブシステム操作理論 (3673/75/70 Disc Storage Subsystem Theory of Operation)」と題するメモレックス公報 3673.21-02 に記載されている] である。上述の型のディスク記憶装置はメモレックス 3670 及び 3675 ディスク駆動モジュール [「3673/75/70 ディスク記憶サブシステム操作理論 (3673/75/70 Disc Storage Subsystem Theory of Operation)」と題するメモレックス公報 3673.21-02 に記載されている]

- 7 -

ディスク・ストリングは記憶制御装置及びディスク制御機構を通して特定の情報片を呼び出すことができる。しかしながら、この操作においては、機械装置の機械的及び電子的配位に起因して遅れが生じる。特に、ディスク記憶装置の機械的配位により、磁気読取り/書き込み磁ヘッドは、ディスク・スピンドル上に予め記憶された複数のトラックにアクセスできる移動カートリッジにしかく固着する。情報を要求する場合、カートリッジがデータの記憶されているトラック上に読取り/書き込み磁気トランスジューサを正しく動かさなければならぬ。カートリッジがかかるアクセスを完了するのに要する時間は 10 ミリ秒程度とか又は 50 ミリ秒程度などである。更に、特定のトラックにアクセスしたカートリッジが所定の場所に電子的に固定されてデータが情報を検知すると、ディスクが望ましい情報が記憶されている所定の位置まで回転する間延滞の遅れが生じる。ディスク回転遅延又は「待ち時間 (latency)」は無視し得るものであり又は、3600 rpm で回転す

- 8 -

と題するメモレックス公報 3673.21-02 に記載されている] である。チャネルの SCU ディスク制御装置及びディスク駆動モジュールへの相互接続はメモレックス公報 [「3673/75/70 ディスク記憶サブシステム操作理論」] (メモレックス公報 3673.21-02) に記載されている。

複数のディスク駆動モジュールの取付けられているメモレックス 3673 ディスク制御装置によつて例示される型のディスク制御装置がストリング・スイッチとして公知の特殊な形式によつて複数の記憶制御装置に取付けられることも公知である。ストリング・スイッチの特殊な形式は、インテリジェント (intelligent) インタフェイスを形成するハードウェアとマイクロコードの列である。そのインテリジェント・インタフェイスは複数の記憶制御装置が 3673 型ディスク制御装置によつて制御される単一ストリングのディスク駆動装置と通信できるようにしている。

特定のデータ片の記憶の要求又は特定のデータ片の検索の要求はチャネルによつて開始される。

- 9 -

るディスクに対してせいぜい約 17 ミリ秒程度である。平均して、待ち時間は 3600 rpm で回転するディスクに対して約 8 ミリ秒程度である。待ち時間及び待ち時間は、望ましい仕事を達成するための中央処理装置の性能上の阻害要因となる。更に、ディスク記憶装置はその性質上通常の記憶装置を通して一定のデータ伝送速度でチャネルへ情報を伝送する。データ伝送速度はディスク記憶装置に記憶されている情報のビット密度と、ディスク自身の回転速度との関数である。メモレックス 3670 及び 3675 製品については、データ伝送速度は毎秒 1 秒あたり 806,000 である。しかしながら、チャネルはそれ自身の限界によつて伝送速度は 1 秒あたり 806,000 バイトよりなるか大きいことがしばしば生じる。即ち、ディスク記憶装置はチャネル電子工学の最大スピードを必ずしも完全に利用していない。このことは、システムの設計者は極限まで上手にしていることである。

ディスク記憶装置はほぼ同一の経過時間内に特定の情報片を記憶し又は検索できるダイレクトア

- 10 -

タマス記憶装置 (DASD) として公知であるが、使用者に必ずしもしだしば典型的なコンピュータ装置に情報をランダムに記憶しかつ検索することはない。実際、ディスク記憶装置は特定のデータ群についてしだしば時間的に「密集 (clustered)」する。このことは、ディスク記憶装置の特定の情報トラックがしだしばアクセスされ又は新たに更新されて、記憶バイトの他の情報を排除することとなる。従つて、「キャッシュ (caching)」の概念は、より頻繁に呼び出される情報が呼び出され、はるかに大容量のダイレクト・アクセス記憶装置中に存在するほとんど全ての他の情報を排除する過程でその情報を高速バッファに記憶する装置に促進発展されて来た。

カル (Calle) に対する米国特許第 4,075,686 号及びシューマン (Schueman) に対する米国特許第 4,072,706 号は共に、システムの性能を高めるために、優先順位の情報に迅速に呼び出すことのできるキャッシュ・メモリを利用するシステム・コンフィギュレーションを記載している。しかしな

-11-

「ジ」に適用する要件について詳しく述べている。「ページ (page)」とはコンピュータ工程において、システム制御プログラミング・システム又はシステム制御オペレーティング・システムによつて指示された一定の大きさの予め定められたブロックであると理解される。

一般に、システム・コントロール・プログラミング・システム又はシステム・コントロール・オペレーティング・システムのコンフィギュレーションで使用される記憶記憶又はパーチュアル・メモリ技術の導入によつて、高速記憶の概念がもたらされた。この概念は、中央処理装置 (CPU) の頻りに使用される情報へのアクセスをより迅速とするために使用されるもので、CPU による大容量ダイレクト・アクセス記憶装置へのアクセスを要求するとは異なる。より大きなディスク・メモリと組合せて高速キャッシュ・メモリを利用する一般に記憶されるページング・システムはスミス (Smith) に対する米国特許第 3,642,548 号に記載されている。更に、「見かけ記憶 (apparent store)」

-12-

110655-164958(4)

がら、カルら及びシューマンにも過半数キャッシュ・メモリを通常のディスク・ストリングに適用することについては詳しく記載も示唆していない。チャーチル (Churchill) に対する米国特許第 3,949,369 号は、高速キャッシュ・バッファを利用するデジタル・コンピュータインテグレーションが記載されている。チャーチルは、キャッシュ・バッファ中の情報が使用の頻度に基づく情報に照して優先順位システムが確立されるように実際に構成されていることを示唆している。最も頻りに使用される情報は最高の優先順位を受け、一方最も使用頻度の低い情報は最低の優先順位を受け取る。もし、高速キャッシュ・メモリ及びその空間内に記憶する必要がある新たな情報が利用できない場合は、キャッシュ・バッファ中に存在する最も使用頻度の低い情報を消去する。リスト・リーセントリ・ムーブ (LRU) アルゴリズムの概念はコードらに対する米国特許第 3,752,881 号において研究されている。コードらはキャッシュ・メモリを高速記憶バブル・ドメインの情報の「ベ

-13-

の概念は、イーデン (Eden) に対する米国特許第 3,569,938 号によつて示されている。この特許においては、CPU の性能を高めるために、高速記憶を CPU と、はるかに大きな主記憶との間の中間バッファとして使用している。しかしながら、先般所述した全ての文献は、ディスク・ストリングに有効に適用される LRU アルゴリズムを利用する高速半導体キャッシュ・メモリを応用することについては、開示も示唆もしていない。

本発明 (以後、単に「ディスク・キャッシュ」又は「ディスク・キャッシュ・サブシステム」と呼ぶ) はディスク・ドライブのストリングのディスク制御装置に設置された高速半導体メモリ装置を利用して、頻りに要求されるデータへのアクセスを、従来のかかる装置を使用しないで達成できるように迅速に行なえるようにするものである。ディスク・キャッシュは 4 つの主な構成要素から成っている：

1. ディスク制御装置に対するインタフェース
2. キャッシュ・コントロール・マイクロプロセ

-14-

フア

3. ロード/メモリ・マイクロプロセッサ

4. キャッシュ・メモリ

インタフェイス(1)はディスク制御装置内のディスク・キャッシュを接続するためのコントロールバス電子工字及びデータ・バス電子工字から成っている。かかる場合には、記憶制御装置はディスク・キャッシュ又はディスク・ストリングのいずれかに通過することができ、更に、ある条件の下では、ディスク・キャッシュはディスク・ストリングが直接ディスク・ドライブと通過するように制御することもできた。記憶制御装置は「ストリング・ビジー (string busy)」の状態に置くこともできる。また、ディスク・キャッシュがストリング・システムから効率的に分離されて、記憶制御装置の指令が単にディスク制御装置からディスク記憶装置へ「パス・スルー (pass through)」できるようにする。

キャッシュ・コントロール・マイクロプロセッサ(2)は基本的に高速ビット・スライス・マイ

-15-

クロプロセッサ、スラッパ・バンド・メモリ及び記憶レジスタの集合体である。キャッシュ・コントロール・マイクロプロセッサは、記憶制御装置の指令に対するディスク・キャッシュの応答及びキャッシュ・メモリ内のデータ・モジュールの記憶を制御するためのマイクロプログラムを使用するディスク・キャッシュ・サブシステムを中心構成要素である。

ロード/メモリ・マイクロプロセッサ(3)は、キャッシュ・コントロール・マイクロプログラムを外部記憶媒体から容易にみ可能な記憶メモリへ移送するように設計されている構成要素の集合体である。

キャッシュ・メモリ(4)は、中央記憶装置によって最も頻りに要求される情報を記憶するための使用される高速半導体メモリである。キャッシュ・コントロール・マイクロプロセッサなどの情報を記憶すべきが決定するとともに、その情報がディスク記憶装置上に設置されたデータ・モジュール・アドレスのトラップを提供する。

-16-

ディスク・キャッシュ・サブシステムはマイクロプログラムの制御下にある。好適な実施例においては、リスト・リーセントリ・キューズ(略して、LRU)アルゴリズムをプログラムして、ディスク・キャッシュが最も頻りにアクセスされるデータ・モジュールを記憶したキャッシュ・メモリから記憶の低いデータ・モジュールを用いるようにする。

もしデータ・モジュールがディスク・キャッシュ内にあり、このことがCPUに要求されるならば、そのデータ・モジュールはディスク・キャッシュから記憶制御装置へ、又はCPUへ直接転送される。かかるデータの転送はディスクの回転に依存せず、従って、情報がデータ・チャネルによってだけ制御されるまで、「ダイレクト・メモリ・アクセス」を通してディスク・キャッシュ・メモリから記憶制御装置へ転送されることはディスク・キャッシュ・サブシステムの利点である。

更に、もし特定のデータ・モジュールがキャッシュ・メモリ内にあり、そのデータ・モジュール

-17-

の一部がCPUによって要求されるならば、ディスク・キャッシュの概念によつて、データ・モジュール内において置置望ましい情報へスキップできるという利益が生ずる。このデータ・スキップの利益は、データ・モジュールが、ディスクの回転に依存するよりも単なるアドレスの選択によつてアクセスされるランダム・アクセス半導体メモリ内にあることにより得られる。

従つて、本発明の目的は、コンピュータ・システムの中央記憶装置が今まで以上に頻りに使用されるデータに迅速にアクセスできるようにすることである。

本発明の今一つの目的は、マイクロプロセッサの制御の下に高速半導体メモリを利用して、頻りに使用される情報を記憶することである。

更に、今一つの目的は、アルゴリズムに従つて、キャッシュ・メモリ内の情報の記憶を制御することである。

更に、本発明の今一つの目的は、ディスク・キャッシュをディスク・ストリングのディスク制御

-18-

装置に設置して、ディスク・キャッシュが記憶制御装置と作用し、かつディスク記憶装置と通信できるようにすることである。

好ましい実施形態

その内容：

1. 一般
2. ディスク・キャッシュ・ハードウェア
3. ディスク・キャッシュ・オペレーショナル・ハードウェア・モード
4. ディスク・キャッシュ・サブシステム・ソフトウェア
5. 記憶装置
6. データ・ゼロ指示
7. 可変データ速度

1. 一般

第1図（先行技術）を参照すると、公知のデータ処理システムが、メモリ・バス(4)を經由してメイン・メモリ(6)と通信している中央処理装置(2)を有するものとして図示されていることが分る。中央処理装置(2)は別入出力バス又は

- 19 -

キャッシュ・サブシステムが第1図に示される従来のサブシステムと類似していることが分る。しかしながら、ディスク・キャッシュ(16)は調整装置系において、キャッシュCTLインタフェース(78)を經由してディスク制御装置(20)に接続されている。実際上、ディスク・キャッシュ(16)はドライブ・コントローラ・ロジック(第6図の62)及びディスク駆動装置(14)の前記位置している。ディスク・キャッシュ(16)は、典型的なディスク・システムとして例示される半導体メモリ(10)の型と、メイン・メモリ(6)で例示される半導体メモリ(10)の型との間の記憶系のレベルを示している。ディスク・キャッシュ(16)はデータ・モジュールを記憶するための利用される内部情報を含む。このデータ・モジュールは接続されたディスク制御装置(20)と接続されたディスク・ドライブ(14)のストリングとによって分類されている。ここで使用するデータ・モジュールは固定ブロック又はいくつかの位置上の大きなデータ単位に対する一般的用語である。

- 21 -

特開第55-164958(6)

チャネル・バスに接続して記憶制御装置(10)と通信している。データをディスク記憶装置から読み出し又は、その媒体に書き込むために送付される中央処理装置(2)は適当な指令を発する。その指令は記憶制御装置(10)によってアドレスされる装置の固有の一意の指令に翻訳される。この場合、記憶制御装置(10)は中央処理装置(2)からの指令をディスク制御装置(12)の理解できる指令に翻訳する。記憶制御装置(10)はシステムCTLインタフェース(13)に接続してディスク制御装置(12)に通信している。記憶制御装置(10)からの指令は更に翻訳されかつディスク制御装置(12)によって実行されて、特定の情報がディスク駆動インタフェース(15)を經由して、ディスク・ドライブ(14)へ書き込み又はディスク・ドライブ(14)から読取される。ハードウェア・インタフェース及びデータを含む先行技術のコンピュータ構成の定義及びコントロール・ラインの定義は上述の引用文献に記載されている。

第2図を参照すると、本発明のディスク・キャ

- 20 -

ディスク・キャッシュ(16)は、ディスク制御装置(20)及びディスク・ドライブ(14)と通信すると、ディスク・ドライブ(14)の回転速度に対して調整された速度で入力/出力オペレーションを行なう。しかしながら、記憶制御装置(18)とディスク・キャッシュ(16)との間の入力/出力動作は、以下の可変データ速度の意で更に十分説明する先行技術のコンフィギュレーション及び構成で可能である転送速度よりもはるかに速い転送速度（これは、低下した「待ち時間」に相当する）で行なわれる。

CTLインタフェース(78)を經由してディスク・制御装置(20)とディスク・ドライブ(14)のストリングとに接続されるように接続されたディスク・キャッシュ(16)を含む第2図のサブシステムにおいては、動作は一般に以下の通り行なわれる。

データ要求動作については、CPU(2)はチャネル・バス(8)を經由して記憶制御装置(18)に対し、ディスク・ドライブ(14)上の一定のデータ・モジュールの入力/出力を要求する。記憶制御装置(18)はCPU(2)の要求をディスク・キャッシュ(16)に

- 22 -

よつて受容し得る一瞬の指令に翻訳する。第5図を参照すると、もし要求されたデータ・モジュールがディスク・キャッシュ(16)内のキャッシュ・メモリ(54)中に存在するならば、それはシステムCTLインタフェース(15)及びキャッシュCTLインタフェース(78)を經由して記憶制御装置へ転送される。もし、要求されたデータ・モジュールがキャッシュ・メモリ(54)内に存在しないときは、ディスク・キャッシュ(16)はキャッシュCTLインタフェース(78)及びバス(15)を經由してディスク制御装置(20)を通してディスク・ドライブ(14)から要求されたデータ・モジュールを復元し、ディスク・キャッシュ(16)のキャッシュ・メモリ(54)内にそれを記憶する。要求されたデータ・モジュールはディスク・キャッシュ(16)内のディスク・キャッシュ・メモリ(54)から記憶制御装置(18)へ転送される。なお、ディスク・キャッシュ操作の順序は本発明の特定の実施形態に応じて変化する。その順序は明らかにマイクロプログラムに依存している。

- 23 -

においては、中央処理装置(36)は適当な情報を含み入力/出力バス(13)を通してディスク・キャッシュ(16)と直接通信することができる。ディスク・キャッシュ(16)はその後ディスク制御装置(20)及びコントロール入力/出力バス(15)を通してディスク・ドライブ(14)と通信する。

従つて、最も一般的な実施形態においてディスク・キャッシュは一定の環境の下で復元通信することができないような高速度で入力/出力サブシステムから情報を復元できるようにする入力/出力サブシステム領域内に挿入された、知的でディスク置特有でかつ高速度メモリである。

2. ディスク・キャッシュ・ハードウェア

ここで開示するディスク・キャッシュ・サブシステムは、ハードウェア及びソフトウェア技術を組合わせて上述の望ましい目的を達成する装置である。この装置の特定の実施形態については多くの形態がある(この場合は、ハードウェアである)が、好適であることが分つている第2図のディスク・キャッシュの実施形態については第3図に示して

- 24 -

もし中央処理装置(2)が記憶媒体の情報を更新したい場合(即ち、「書き込み」型の要求)、かかる情報の記憶又は更新がディスク制御装置(20)を通してディスク・ドライブ(14)で遂行されるか又はその情報をディスク・キャッシュ(16)のディスク・キャッシュ・メモリ(54)へ直接更新し若しくは書き込むことができる(ディスク・キャッシュ・サブシステム操作の順序はマイクロプログラムに依存している)。もしかかる情報が直接ディスク・キャッシュ・メモリ(54)に書き込まれる場合、その情報は永久記憶用のディスク・ドライブ(14)に通常遅れて転送される。

一定のデータ処理環境において、記憶制御装置を使用しなくてもよいこと、またその記憶制御装置の情報は又は機能を中央処理装置内に設置することも本発明の範囲内である。第4図を参照すると、ディスク・キャッシュ(16)がキャッシュCTLインタフェース(78)を經由し適当なデータ制御バス(13)にそつて直接中央処理装置(36)と通信することも本発明の範囲内である。この実施形態は

- 25 -

いる。ディスク・キャッシュ・サブシステムの主要なハードウェア構成要素は、インタフェース・コントロール・ロジック(48)、ディスク・キャッシュ、ディスク・キャッシュ・コントロール・マイクロプロセッサ(50)、ロード/メモリ・マイクロプロセッサ(52)及びキャッシュ・メモリ(54)から成つていることが分る。

第1の主要なハードウェア構成要素は、ディスク・キャッシュ・コントロール・マイクロプロセッサ(50)とディスク制御装置(20)との間のインタフェース(48)である。キャッシュCTLインタフェースはディスク・キャッシュ・サブシステムのアダプタメント装置を第6図に示されるディスク制御装置に提供する機能を果たす。この制御装置は、メモリアクセス公報3673.21-03で一般に定義されるメモリアクセス3673ディスク制御装置のような装置のものである。第6図に示されるように、ディスク制御装置(20)はディスク・キャッシュ(16)がインタフェース(58)の付加によつてディスク制御装置のCTLインタフェース内に接続されるよう

- 26 -

に示されている。ここで、インタフェイス(58)がストリング・スイッチ(68)の後のシステム・CTLインタフェイス(13)と、ドライブ・コントローラ・ロジック(13)との間位置していること注目すべきである。CTLライン(64)はストリング・スイッチ(68)をキャッシュ・インタフェイス(58)に接続し、CTLライン(34)はドライブ・コントローラ・ロジック(62)をキャッシュ・インタフェイス(58)に接続する。既述の特定の実施形態においては、メモリクス3673ディスク制御装置がメモリクス公報3673-21-05に記載されているようにストリング・スイッチ(68)を備えることが必要である。キャッシュ・インタフェイス(58)は、CTLインタフェイスによって要求されるデータ・バス及びコントロール・ラインを提供する。キャッシュ・コントロール・ライン(70)によって、ディスク・キャッシュ・サブシステムはディスク制御装置内のストリング・スイッチを制御できる。CTLインタフェイスへの十分なアクセスはシステムCTLライン(72)によってディスク・キャッシュ中に提供さ

-27-

れたキャッシュCTLライン(74)によってディスク・キャッシュから提供される。

ディスク・キャッシュ(16)の第2の主要なハードウェア構成要素は第5図(より詳しくは第7図)のディスク・キャッシュ・コントロール・マイクロプロセッサ(50)である。特定の実施形態において、第7図のマイクロプロセッサ(50)として、1秒当たり4,000,000の命令の許容量を有する高速ビット・スライス・マイクロプロセッサを使用することが好適であると分つた。この特定の実施形態に対しては、LSIプロセッサ・チップのアドバンスド・マイクロ・デバイス2900ファミリ(Advanced Micro Devices 2900)から製造した市販のマイクロプロセッサを使用することが好適であることが分つた。しかしながら、他の多くのプロセッサの設計は、ディスク・キャッシュ・システムを扱うことのできるディスク・キャッシュ・サブシステムの他の構成内である。ディスク・キャッシュ・コントロール・マイクロプロセッサ(50)の基本的な構成は、

-28-

(1)第6図のキャッシュCTLインタフェイス(70)からのコントロール及びデータ転送指令に対する応答、

(2)第5図及び第7図(以下で記述)のキャッシュ・メモリ(54)内にある利用可能なデータのディレクトリの維持、

(3)最も要求されると思われるディスク・ドライブ・データによるキャッシュ・メモリ(54)の制御及び冗項(以下で記述する)、

(4)エラー検出及びリカバリ動作、及び

(5)性能データのロード/セクタ・マイクロプロセッサ(52)への通信、がある。

ディスク・キャッシュ・サブシステムの望ましい実施例における第3のハードウェア構成要素は、第5図におけるロード/セクタ・マイクロプロセッサ(52)である。前記ロード/セクタ・マイクロプロセッサ(52)のため、インテル8080Aマイクロプロセッサを使用することが適切であることが判明している。前記インテル8080Aは毎秒200万

-29-

サイクルの周りで動作する完全な8ビットの中央並列処理装置である。

前記インテル・マイクロ・プロセッサの代り代用いことが出来、価値的に利用可能な他のマイクロプロセッサも存在する。前記ロード/セクタ・マイクロプロセッサ(52)の基本的な構成は、(1)フレイミング・ディスク・ドライブ(84)(後述する)より得られたコントロール・メモリ・インフォメーションの負荷制御と、(2)前記ディスク・キャッシュ・サブシステムの動作モード作成を行うことである。

第5図に示された前記ディスク・キャッシュ・サブシステムの最後の主要なハードウェア構成要素は前記キャッシュ・メモリ(54)である。前記ディスク・キャッシュの望ましい実施例において、前記キャッシュ・メモリ(54)は2つの種類の半導体メモリで構成されている。半導体メモリの第1の種類の、第7図に示されているフル・トランザクタ・バッファ(86)である。本発明の思想から必ずしも限定されるものではないが、2つの種類の

-30-

半導体は、キャッシュ・メモリ(54)から構成されており、また同じく、本発明の思想から必ずしも規定されるものではないが、ディスク・キャッシュ(16)により記憶される情報片はフル・トラックのディスク・ドライブ・データであるが、前記ディスク・キャッシュのハードウェアをそのように形造ることが便利であるということが判明している。

このように、第1の種類の半導体メモリ、即ち前記フル・トラック・バッファ(86)は、少なくとも1つのフル・トラックのディスク・ドライブ・データを言っており、種々のスタティック又はダイナミックなランダム・アクセス・メモリ・チップから構成することができる。前記フル・トラック・バッファ(86)はインテル2147又はインテル2117の無損回路から構成されるのが適切であるということが判明している。第2の種類のキャッシュ・メモリ(54)は近接回路で構成されており、電荷移動素子(CDPS)は前記キャッシュ・メモリ(54)の近接水準用として採用され有効している。

-31-

めのレジスタとキャッシュ CTL インターフェイス(78)のための制御信号を包含する2つのインターフェイス・コントロール印刷回路
記憶制御：記憶要求レジスタと、キャッシュ・メモリ(54)と記憶

ユニット・ダイレクト・メモリ・アクセス 90 98
：制御ユニット(18)の間のデータ転送制御のためのアドレスとワードの計算器を包含する典型的な DMA (ダイレクト・メモリ・アクセス)ポートデータ・バッファとして用いられる2つの16バイト×8のFIPO (FIRST IN FIRST OUT) キャッシュ・コントロール・マイクロプロセッサ・メモリ

番込可能制御記憶装置 100：キャッシュ・コントロール・マイクロプロセッサ(76)のコントロールメモリとして用いられる4K×40ビットのインテル2147スタック RAM メモリ
オンライン レジスタ 102：コントロール・レジスタで、そのビットがオペレータ・パネル(104)からのオンライン・スライフトリ

-33-

!!図記55-164958(9)

特別の機能列において、12ノード・バイトまでの電荷移動素子が、フエア・ファイル・ド464の電荷移動素子を用いた型に説明されて来た。(各装置は最高64,000ビットの情報を記憶することができる。)現在、前記キャッシュ・メモリ(54)は連続2つの種類のスリー・メモリ層構造のディスク・キャッシュ・サブシステムであり、その中において記憶の第1の水準は前記ディスク記憶装置(14)であり、その次のメモリの2つの種類は上述した半導体メモリである。以下に述べる通り、前記キャッシュ・メモリ(54)の機能は、直接コンビューター・システムによって要求される性能が最も高いディスク・ドライブ・データを記憶するアルゴリズムに応じてディスク・ドライブ・データを記憶することである。(下記に詳述する。)

第7及び第7の図を参照すれば、ディスク・キャッシュ(16)の主要なハードウェア構成要素のより詳細な説明が判る。第7及び第7の図の記載を参照するための以下の説明が有益である。
インターフェイス 90：情報バスを発生させるた

-32-

て設定されるもの

キャッシュ・コントロール・マイクロプロセッサ(76)はいかなるドライブがキャッシュされるべきかを決定するための、このレジスタをセレクトする。

オペレータ・パネル 104：入力スイッチと各ドライブのためのキャッシュ可能スイッチを包含している。

ドライブ・ダイレクト・メモリ・アクセス 94：記憶要求レジスタと、キャッシュ・メモリ(54)とディスクドライブ(14)の間のデータ転送を制御するためのアドレスとワードの計算器を包含する典型的 DMA (ダイレクト・メモリ・アクセス)ポート

キャッシュ・コントロール・マイクロプロセッサ 76：AMD 2900 ファミリの LSI プロセッサ・チップを用いた毎秒400万命令を処理するビット・スライス・マイクロプロセッサ
ロード/セレクトマイクロプロセッサ 82：不揮発性記憶装置としてインテル 6080 A 単一チップ

-34-

CPUを有するマイクロプロセッサ
2メガヘルツで作動し、記憶制御のため、2K
× 8のEPROMを有する。
スタック・バンド 96：キャッシュ・コントロ
ール・マイクロプロセッサ(76)を支持するた
めの8K×16のスタティックRAMメモリ
スタック・バンド：ロード/メモリ・マイク
ロプロセッサ(82)との交信のための
フレイクシブルディスク・ドライブ 84：マイク
ロプログラム・ロードのために用いられるフレ
キシブル・ディスク・ドライブ
標準型メモリーバス 550 値を利用可。
エラー・コレクション・コード 106 (ECC)：単一
ビット・エラー・コレクション及び二重ビッ
ト・エラー・ディテクションに用いられるエ
ラー・ディテクション・コレクション・ロジ
ック(「バインディング・スキーム」)
フル・トラック・バッファ 86：インテル2147バッ
プを使用した4K×40ビット(ECCを含む)
のスタティックRAMメモリ

-35-

B-バス 144：フル・トラック・バッファ(86)に
よりアクセス・ECCロジック(106)に使用さ
れるトライスタート・データ・バス
メモリ・アドレス・バス 148：キャッシュ・コン
トロール・マイクロプロセッサ(76)によりア
ドレス・書き込み可能制御記憶(100)に使用さ
れるメモリ・アドレス・バス
パイプライン：パイプライン・インストラクシ
ョン・バスで、それにより、
バス 150：キャッシュ・コントロール・マイク
ロプロセッサ(76)が書き込み可能制御記憶(100)
から、そのマイクロインストラクションを得
て、スタック・バンド(98)と交信するパイ
プライン・インストラクション・バス
キャッシュ・バス・イン 150：8ビットの「バス
-イン」データ・バス(8 Bit 'bus-In'
Data Bus)これはキャッシュからシステム
SCUへデータを転送するためのシステムCTL
ライン72データ「バス-イン」である。
バス・イン 152：8ビットの「バス-イン」データ・

-37-

114455-164958 (C)
電荷移送素子メモリ 88：フエアチヤイル・CCD
を用いた1乃至12メガバイトのCCDメモリ
基本データ・バス 108：SCU又はドライブDMAポー
トとフル・トラック・バッファ(86)の間のデ
ータ転送のための二方向データ・バス
基本アドレス・バス 110：SCU DMA (92)又はドラ
イブDMA (94)からフル・トラック・バッファ
(86)へ供給されるトライ・スタート・メモリ
・アドレス
C-バス 138：フル・トラック・バッファ(86)と
CCDメモリ(88)の間のデータ転送のための二
方向データ・バス
C-バス 140：キャッシュ・コントロール・マイ
クロプロセッサ(76)に利用される全ての外部
ポートのためのトライスタート・ソース・バ
ス
Y-バス 142：キャッシュ・コントロール・マイ
クロプロセッサ(76)に利用される全ての外部
ポートのためのトライスタート・デスティネ
ーション・バス

-38-

バス(8 bit 'bus-In' data bus)これは
ディスク・ドライブからキャッシュ・メモリ
へデータを転送するために用いられるキャッ
シュ・CTLライン74データ「バス-イン」
バス・アウト 156：8ビット「バス-アウト」即
ちデータ転送及びシステム SCU (18)からデ
ィスク・キャッシュ(16)への制御命令データ
のために用いられるシステムCTLライン72「バ
ス-アウト」
キャッシュ・バス・アウト 158：8ビット「バス
-アウト」、即ち、ディスク・キャッシュ(16)
がディスク・ドライブ(14)を制御する際、デ
ータと制御命令のために用いられるキャッ
シュCTLライン74 バス・アウト
CTLライン 160：インターフェイス 90 ロジック
に於いて発生するCTLインターフェイス制御
ライン
キャッシュ・コントロール・ライン 70：特定の
インターフェイス・コマンド・インシジョン・バ
ースを識別するために必要な6個のインターフェ

-38-

イス(58)のマルチプレクサーの切換を制御する
ためのインターフェイス・ロジック内でキ
ャッシュ・コントロール・マイクロプロセッ
サ(76)により発生せしめられる一連の制御信
号

BC_{1xx}: 第7ロ型において、BC_{1xx}として示され
る全ての値は、バス又はコントロール・コ
ミュニケーション・バスが存在していること
を示しているが、ここでは明確には定義しな
い。

本発明を更に十分説明するため、第6、第7
及び第7ロ型は、前3図に示すように配置され
る。

第7及び第7ロ型に關し、マイクロプロセッ
サ(76)はディスク・キャッシュ(16)の制御部
である。マイクロプロセッサ(76)は、トライ
ステートの16ビットのデータ・バス(140)を
經由して全てのエクステルナル・データを受け
入れ、16ビットのトライステート・アウト・ブ
ス・データ・バス(142)を經由して全てのエク
ス

-39-

ナル・ポートへ書き込む。上述の如く、ディス
ク・キャッシュ・サブシステムの基本的な機能の
一つはデータ転送と第2型のシステム記憶制御
ユニット(18)から、キャッシュCTLインター
フェイス(78)を經由して受け入れられる制
御指令に答へることである。前記キャッシ
ュ・コントロール・マイクロプロセッサ(50)
は、インターフェイス・コントロール・ロジ
ック(48)から順番に前記キャッシュCTLイン
タフェイス(78)までから受け入れシステム
指令をモニタする。キャッシュ・コントロ
ール・マイクロプロセッサ(50)は、インター
フェイス・コントロール・ロジック(48)の中
の制御記憶部或は適切な応答をセフトするこ
とにより指令に答へる。これらの指令は、さ
らに、先づ既述の如く規定されているCTL
インターフェイス規格により要求されて、
キャッシュCTLインターフェイス(76)へ
ポートされる。

マイクロプロセッサ(76)は、書き込み可能
記憶(100)からパイプライン・バス(146)に
付てマイクロ指令を受け入れる。マイクロ

-40-

サ(76)はメモリ・アドレス・バス(146)を
經由して書き込み可能制御記憶(100)をア
ドレスする。スクラッチ・パッド(96)は、
その時点においてキャッシュ・メモリ(54)
の中に存在している一連のディスク・ドラ
イブ・トラック・アドレスを記憶するため、
主としてマイクロプロセッサ(76)により使
用される。スクラッチ・パッド(96)に記憶
されている前記トラック・リスト・アドレ
スは、キャッシュ・メモリ(54)内のデータ
がアクセスされるのに応じて、検索され
マイクロプロセッサ(76)によりダイナミク
スに新しくされる。

マイクロプロセッサ(76)はスクラッチ・パ
ッド(96)をアクセスするためR-バス(140)
とY-バス(142)を用いる。更に、他の開
示あるディスク・キャッシュ・コントロー
ルデータは、ディスク・キャッシュ・マイ
クロプログラム(後述する)によつて規定
されるスクラッチ・パッド(96)内に記憶
される。マイクロプロセッサ(76)はまた、
磁気ストリング上のどのディスク・ドラ
イブ(14)が「キャッシング」を受けやす
いかを決定して、オ

-41-

ンライン・レジスタ(102)の中にその情
報を保存する。前記記憶制御ユニット・
ダイレクト・メモリ・アクセス(92)と
ドライブ・ダイレクト・メモリ・アクセス
(94)は前記フル・トラック・バッファ
(86)と前記システム記憶制御ユニット
(18)とディスク・ドライブ(14)の各々
の間のデータ転送のために用いられる。
前記ダイレクト・メモリ・アクセス・
ポートはR-バス(140)とY-バス(142)
を經由して、マイクロプロセッサ(76)に
よりプログラムされ、モニタされる。

フル・トラック・バッファ(86)は、前記
基本アドレス・バス(110)を經由してア
ドレスされ、その内容は、基本データ・
バス(108)を經由していずれかのダイ
レクト・メモリ・アクセス・ポートへ向
け、又はそこから転送される。

フル・トラック・バッファ(86)とCCD
メモリ(88)は共通のエラー検出及び訂
正ロジック(106)を共有している。フル
・トラック・バッファ(86)とCCDメモリ
(88)の間のデータ転送は、前記開示
のマイクロプロセッサ(76)により制御さ
れる2方向

-42-

C-バス(183)を経由するダイレクト・メモリ・アクセスタイプの動作として知られているものになっている。更に、キャッシュ・コントロール・マイクロプロセッサ(50)は、Y-バス(142)経由の前に電荷移動素子メモリの中に包含される前記ダイレクト・メモリ・アクセス・ロジックをプログラムする。

3. ディスクキャッシュ動作ハードウェア方式

ディスク・キャッシュの概念を多数の構成要素に実施することは可能であるが、特記したものとして知られた構成要素は公知のIBMサブシステムのチャネル制御装置機構と類似するものである。第8図において、記憶制御装置(18)はシステムCTLインタフェース(13)を経てディスク制御装置(20)に接続される。ディスク制御装置(20)はキャッシュCTLインタフェース(78)を通じてディスク・キャッシュ(16)に接続される。ディスク制御装置(20)はインタフェース(15)を通じてディスク駆動機構(14)に接続される。簡略化するため、インタフェース(15)、(78)はディスク制御装置(20)

-43-

ディスク制御装置(20)からインタフェース(78)を通じてディスク・キャッシュ(16)に伝送される。タグゼロ指令はディスク・キャッシュ(16)からインタフェース(78)を通じてディスク制御装置(20)に伝送される。このように、タグゼロモードは、タグゼロ指令を除くすべてのタグ指令がディスク駆動機構(14)に伝送されるが、ディスク制御装置(20)がタグゼロ指令をインタフェース(78)を通じてディスク・キャッシュ(16)へ伝送するハードウェアモードとして理解される。タグ・ゼロ指令はディスク・キャッシュ(16)からインタフェース(78)を通じてディスク制御装置(20)に伝送される。このように、タグ・ゼロモードはタグゼロ指令がディスク・キャッシュに伝送されることを除いては、タグ指令が本発明のディスク・サブシステムにおいて従来の方式と同様に動作されるハードウェアモードとして理解される。

-43-

特開55-164958(12)

内の点610で相互に接続されるように表示される。点610は硬質電線接続体でなく、以下に説明されるように、ハードウェア動作モードに従って変化する態体である。

ディスク・キャッシュ(16)を操作するのに関連的に4個のハードウェア動作モードがあり、これらは本発明を實施する場合に適した記憶制御装置(18)からの指令によって決定される。すなわち、

(1) タグ・ゼロモード

第9図に図示されるタグゼロモードにおいて、タグ・ゼロ指令を除くすべてのタグ指令(以下に記述される文節の最通では単にタグゼロ指令と記す)は記憶制御装置(18)からインタフェース(13)を通じてディスク制御装置(20)に、またバス(15)を通じてディスク・ドライブ(14)に伝送される。タグ・ゼロ指令を除くすべての指令に対して、ディスク・キャッシュ(16)は硬質上ストリング上に存在しない。しかしながら、タグ・ゼロ指令は記憶制御装置(18)からインタフェース(13)を通じてディスク制御装置(20)に伝送されるけれども、デ

-44-

(2) 記憶制御装置(SCU)モード

ディスク・キャッシュ(16)がSCUモード(第10図)の時は、すべてのタグ指令は記憶制御装置(18)からインタフェース(13)を通じてディスク制御装置(20)に、またインタフェース(78)を通じてディスク・キャッシュ(16)に伝送される。このディスク・キャッシュ(16)はマイクロプログラムの「アクティブ」スタートにある(後述のソフトウェアの記述参照)。SCUモードにおいては、記憶制御装置(18)とディスク駆動機構(14)との間との間の通信伝送は不可能である。これはディスク・キャッシュ(16)の基本動作方式である。

(3) 制御モード

このハードウェアモードにおいては、第11図に図示されるディスク・キャッシュ(16)がディスク制御装置(20)及びディスク駆動機構(14)にそれぞれインタフェース(78)、(15)を通じて直接に接続される。このモードでは、記憶制御装置(18)はディスク制御装置(20)に対して「不通」状態にある。これは記憶制御装置(18)とディスク制御装置(20)との間のインタフ

-45-

エイヌ(15)に監視作用を成さないことを意味する。ディスプレイ・キャプシュ(16)はディスプレイ・ストリング・サブシステムの制御を事実上掌握して該サブシステムの操作を制御する。

(4) 実行モード

第12図に示される実行モードは記憶制御装置(18)とディスプレイ制御装置(14)との間をディスプレイ制御装置(20)を介してそれぞれのインタフェイス(15)、(15)により直接に通信伝送するハードウェアモードである。この操作モードでは、インタフェイス(78)を通じてディスプレイ・キャプシュ(16)にタダ指令は全く伝送されない。このディスプレイ・キャプシュとディスプレイ制御ストリング・サブシステムとは事実上接続されず、該サブシステムはディスプレイ・キャプシュ(16)が切断されているかのように振舞う。

前述されたようなハードウェアの操作モードは一体的に作用し、キャプシュ制御マイクロプロセッサ(50)中にあるサブシステム・マイクロプログラムの制御を受ける。後述の「ディスプレイ・キャ

-47-

プシュ・サブシステム・ソフトウェア」の項に記述されるように、通常のタダ・ゼロ命令が記憶制御装置(18)によって処理されることにより、マイクロプログラムが後述のマイクロプログラム状態から変換してサブシステムのハードウェア操作モードに変化する。

4. ディスプレイ・キャプシュ・サブシステム・ソフトウェア

この説明によるディスプレイ・キャプシュの概念は種々の方法で実施される。特に述べた実施例内では、前述のハードウェアはマイクロプロセッサ(76)によって指定される書き込み可能な制御記憶装置(100)にディスプレイ制御装置(84)に送られるマイクロプログラムと関連して作用する。この説明の好適実施例におけるマイクロプログラムにおいては、所望の記憶装置のソフトウェア・コンディションを示す4つの「スタート」を作用する。ここで「スタート」とは外部入力によって変換することがなければマイクロプログラムのコンディションが変換しないことを意味する。第13図において、4番

-48-

の置ましいマイクロプログラム・スタートが例示される。すなわち(1)待ちスタート(400)、(2)選択スタート(414)、(3)アクティブ・スタート(424)及び(4)パッシブ・スタート(432)。

待ちスタート(400)において、ディスプレイ・キャプシュ及びディスプレイ・サブシステム全体は記憶制御装置(18)とディスプレイ制御装置(20)との間のシステムCTLインタフェイス(15)が停止していることによつて証明されるような「停止」コンディションにある。第13図に示されるように、待ちスタート(400)はCTLインタフェイス(78)の選択制御部の状態から得る論理プログラミングと解釈される。上に選択制御部が無い、すなわち「no」コンディション(402)にあるならば、マイクロプログラムは「定常タイムアウト」(404)に対する動作を開始する。もし、ディスプレイ・キャプシュ・サブシステムが「停止」コンディションに止まつて定常タイムアウトが作用して「yes」コンディション(406)にあるならば、ディスプレイ・キャプシュ・サブシステムは定常処理(408)のモード

-49-

に入り、ここでディスプレイ・キャプシュの内部「ハクス・キーピング」機能が作用する。定常処理(410)が完了すると、マイクロプログラムは待ちスタート(400)に復帰し、第6図におけるシステムCTLインタフェイス(15)上の選択制御状態を再び監視し制御する。定常処理(408)はマイクロプログラムが「安定」コンディションに入る「スタート」ではない。すなわち、定常処理(408)はプログラミングが常に論理コンディションに同つて進めつつ待ちスタート(400)に復帰する作用に過ぎない。定常処理は前述のハードウェア制御モードに類似のマイクロコードの作用であり、待ちスタート(400)はハードウェア・タダ・ゼロ・モードとして理解されよう。

選択制御部が待ちスタートの間を高くつて「yes」スタート(412)になると、ディスプレイ・キャプシュ・マイクロプログラムは「選択」スタート(414)に入る。「選択」スタート(414)は選択制御部が高いスタート、すなわち記憶制御装置が記憶装置に記憶されたすべてのストリングにその中

-50-

の1番を選択することを通告するスタートとして定義される。選択スタート(414)の間は選択保持線のコンディションが監視される。選択保持線が「低い」スタートに達する時は、選択保持線は「インアクティブ」スタートとなり、第13図に指示される「yes」(416)のスタートによつてディスク・キャッシュ・マイクロプログラムは待ちスタート(400)に復帰する。もし、選択保持線が「高い」スタート、すなわちインアクティブ・スタート(418)のままである時は、マイクロプログラムはタグ・ゼロ指令が第6図のキャッシュCTLインテフェイス(78)上にあるのを監視する。タグ・ゼロ「アクティブ」指令を受信しない(420)ならば、マイクロプログラムは、「選択」保持が「インアクティブ」スタートすなわちマイクロプログラムが待ちスタート(400)に復帰するスタートに達するのでなければ「選択」スタートに停止する。もし、タグ・ゼロ補助指令を受信する(422)ならば、マイクロプログラムは「アクティブ」スタート(424)に入る。選択スタート(414)は待ちスタート(400)

-51-

の場合のようにハードウェア・タグ・ゼロ・モードである。

「アクティブ」スタート(424)は、記憶制御装置(18)がすでに特定の記憶制御装置(20)を通してあるマイクロプログラム・コンディションとして定義される。上記記憶制御装置(20)及びディスク・ストリング・サブシステムにディスク・キャッシュ(16)が接続されるならば、タグ・ゼロ「アクティブ」指令によつてディスク・キャッシュ・マイクロプログラムは「格納化」される。「アクティブ」スタート(424)において、ディスク・キャッシュは記憶制御装置(18)及び記憶装置内のデータ処理操作によつて発生するすべての命令を阻止及び/又は受信する。これは「キャッシュ」スタートと称してもよく、主キャッシュ操作スタートとして定義されよう。ハードウェアにおいては、前述されよう「記憶制御装置モード」である。「アクティブ」スタート(424)の間、タグ・ゼロ「パンプ」指令(425)がディスク・キャッシュ・マイクロプログラム(426)によつて受信されない時は、

-52-

ディスク・キャッシュはディスク・キャッシュ指令(428)を実行する。第13図に指示されるようなディスク・キャッシュ指令(428)の実行は「スタート」ではなく、正しくは機能を実行するマイクロプログラムのコンディションであり、完了後、マイクロプログラムは「アクティブ」スタート(424)に復帰する。キャッシュ指令の実行はハードウェアにおいては「記憶制御装置モード」と考えられる。「アクティブ」スタート(424)の間、タグ・ゼロ「パンプ」指令が受信される(430)時は、マイクロプログラムは「パンプ」スタート(432)に入る。

「パンプ」スタート(432)は、記憶制御装置(18)がディスク記憶装置(14)と直接に通信伝送するマイクロプログラム・コンディションとして定義される。このコンディションは、ディスク・キャッシュがすべての命令を受信し、記憶制御装置(18)とディスク記憶装置(14)との間で直接に全く通信伝送がない「アクティブ」スタート(424)と区別されることと区別される。 「パンプ」ス

-53-

タート(432)の間、記憶制御装置(18)は特定化されたタグ・ゼロ指令を発生させてディスク・キャッシュ・マイクロプログラムを「パンプ」スタートとし、記憶制御装置(18)とディスク記憶装置との間を直接に通信伝送させる(タグ・ゼロ「パンプ」指令(430))。「パンプ」スタート(432)において、ディスク・キャッシュ(16)はタグ・ゼロ指令を直接に監視する(ハードウェア・タグ・ゼロモード)。タグ・ゼロ「アクティブ」指令が第13図に「yes」(434)で指示されるように受信されるならば、ディスク・キャッシュ(16)は「アクティブ」スタート(424)に復帰する。タグ・ゼロ「アクティブ」指令(437)が「パンプ」スタート(436)の間受信されるならば前述の選択保持線の状態が監視される。もし、選択保持線が「パンプ」スタートの間「アクティブ」すなわちyes(439)に達するならば、ディスク・キャッシュ・マイクロプログラムはタグ・ゼロ「アクティブ」指令を受信しうる状態になる。状態はタグ・ゼロ「アクティブ」指令が受信(すなわちyes(434))される

-54-

と、ディスク・キャッシュ(16)は「アクティブ」スタート(424)に復帰する。選択候補が「はい」すなわち30(440)に達するとディスク・キャッシュは元項処理(442)を行なう。

「パッシブ」スタート(432)は前述されたハードウェアタグゼロモードであるが、元項処理(442)はハードウェア制御モードである。元項処理(442)の間、ディスク・キャッシュ(16)はディスク記憶装置のストリングを制御して、磁気ディスク(14)にのみ存在しうる情報をフルトラック・バッファ(86)に元項する。元項処理(442)の間、フルトラックの情報はディスク記憶装置(14)からフルトラック・バッファ(86)に転送される。フルトラック・バッファ(86)に転送されるべきトラックは最も新しく要求されたものであるから、該トラックは第70図のストラクチャ・パッド・メモリ(96)にある記憶管理テーブルに前記トラックの状態を記憶する。さらに、このトラックテーブル・エントリは前記メモリ中で、ディスク装置の磁気シリンダの位置及びヘッドアドレスに関してフルトラッ

-33-

ク・バッファ(86)に代入された、ランクに送送するように制御される。元項処理(442)の完了後、マイクロプログラムは再びスタート(400)に復帰して、再び選択候補の状態を監視する。「ハードウェア」においては、元項処理(442)が開始されるとディスク・キャッシュはディスク・ストリング・サブシステムを制御する。元項処理(442)の間、記憶制御装置(18)はディスク・ストリングと通信を断せず、「ストリング不通」コンディションがストリングに取付けられた記憶制御装置に対して存在する。

従つて、ハードウェアとディスク・キャッシュ・サブシステムのマイクロプログラムとは一体的に以下のように応答することが要求される。

時間T0: 選択候補「アクティブ」がディスク・キャッシュ(16)に達すると記憶制御装置(18)から受取られる。

時間T1: タグゼロ命令が記憶制御装置(18)から受取られる。

時間T2: キャッシュ・マイクロプログラムは

-34-

2)

(必要に応じて)スタートを強化させる。

時間T0: キャッシュはハードウェアが方式を強化することを要求する。

時間T1: 処理が実行される(マイクロプログラムは新スタートであり、ハードウェアは新モードである)。

時間T2: 処理は第13図に指示されるように必要に応じて進行する。

この発明のディスク・キャッシュ・サブシステムを實現するに達した実施例は誤り訂正装置そのもののプログラミング修正機能を含有して動作性を高めている。マイクロプログラムに対する最適な修正候補は前述されるとともに第13図に指示されている。

5. 記憶装置管理

ディスク・キャッシュ・サブシステムはキャッシュ記憶装置を管理するための統一された第70図のストラクチャ・パッド(96)内にあるテーブルを使用する。本発明では、目的を達成するための多数の

-35-

インプリメンテーションが可能であるが、最もしいディスク・キャッシュ装置内で特に記憶装置を管理することが通じているものと知られた。キャッシュ・メモリ(54)内にあるデータモジュールは任意寸法の別個の情報単位から形成されうが、最もしい実施例においてはCCD記憶装置(88)はフルトラックの情報を管理。この情報はメモリスラックス3670及び3675のディスク記憶装置の場合には15030個の情報バイトに達する。各データトラックはディスク記憶装置(14)から移入される。CCD記憶装置(88)及びフルトラック・バッファ(86)内に記憶される各データトラックは該データの管理に対する必要性によつて作られたマイクロプロセッサ(76)に使用されるテーブル中に対応エントリを有する。

ディスク・キャッシュ・ストラクチャパッド(96)は多数の形式の記憶装置管理テーブル、すなわちダイナミック・テーブル、トラック・ロック・テーブル及びからの記憶装置のリストを管理する。上記ダイナミック・テーブルはキャッシュ記憶装置

-36-

表(54)の運用基準に従って自動的に更新される。この目的のため、公知のLRU法を使用することが有利である。上記トラック・ロフト・テーブルはCCD記憶装置(88)中キャッシュ記憶装置(54)に「ロフト」される部分のためのパラメータを含む。この説明においては、トラックをキャッシュ中に「ロフト」するとは、データトラックが上記ダイナミック・テーブルの場合のような方法に基づいて置換されないことを意味する(すなわち、キャッシュ記憶装置(54)中に永久に存在する)。上記からの記憶装置のリストはCCD記憶装置(88)内に利用空間のトラックを保持するテーブルである。からの記憶装置を表示するテーブルの内容は現在使用されておらず、従ってディスク駆動機構(14)からのデータで充満されるべく利用される記憶装置である。

キャッシュ記憶装置(54)中に記憶されたすべてのデータトラックはダイナミック・テーブル内の対応エントリを有し、各エントリは複数のパラメータを有する。2個のパラメータ

-59-

たデータトラックとなる。この法は周知のもので、最近使用トラックがキャッシュ記憶装置中にあるが最近使用のデータトラックはキャッシュ記憶装置(54)からはずされる。

ダイナミック・テーブルはまた特定のディスク記憶装置から充満された、すなわち同じディスク記憶装置アドレスを有するデータトラックをリンクするリンク・ポインタを含む。これらのテーブルは、最近使用及び最もよく使用されたリンク・ポインタが更新される時に更新される。このようにして、特定のトラックのキャッシュ記憶装置(54)を調査する作業は、特定のトラック用の記憶制御機構フェクタが特定のディスク記憶装置を特定することが周知されているので簡略化される。かくして、最近使用トラック及び最もよく使用されたトラックのテーブルを、該テーブルが特定のディスク記憶装置によつてリンク連通されるならば、調査することはかなり簡略化される。ただし、1個のディスク記憶装置が所望の時間内に置かれていないならば、キャッシュ記憶装置(54)

-61-

114555-164958 (C)
に上記テーブルをトラックの最も新しい項目に最も古い項目に基づいてリンク連通する。データトラックがキャッシュ記憶装置(54)から要求される置くと、このトラックに調査する項目が上記リストの頂部に置かれ(すなわち最も新しく置かれる)、リストの底部の項目は最もよく使用されたものとなる。他のパラメータはディスク記憶装置(14)に決定特定のシリンダアドレス、ヘッドアドレス及び調査アドレスへのディスクトラックに関する情報を含む。これらと一併に作用して、アドレス・ポインタがダイナミック・テーブルの項目を公知のリンク連通機構によつてリンク連通する。

キャッシュ記憶装置(54)が充満され、他のデータトラックをディスク記憶装置(14)からキャッシュ記憶装置(54)に充満する必要がある時は、テーブルの底部にある最もよく使用されたデータトラックは該テーブルからはずされ、ディスク記憶装置(14)から直接充満された新しいデータトラックはテーブルの頂部に置かれて最も新しく使用される。

-60-

の全内容を調査する必要があるけれども、1個以上のディスク駆動機構が内蔵されているならば、著しい調査減額が実現される。

6. タグ・ゼロ指令

IBM社に対応ディスク記憶装置サブシステムの標準的な構成によれば、「タグ」指令として知られているある種の指令が用いられ、これによつて記憶制御機構(18)はシステムCTLのインタフェース(15)に設けられる駆動制御機構(20)に連通する。システムCTLインタフェース、タグ指令、又はバス・イン・ライン、バス・アウト・ライン等の完全な説明はモレップス社の「ディスク記憶装置サブシステム操作説明」3673/3675/3670(出版番号3673 21-02)を参照されたい。しかし、記憶制御機構の標準的な構成の中で、ディスク・キャッシュ(16)を含むディスク記憶装置サブシステムを制御し監視することはできない。ディスク・キャッシュの特殊の概念を利用するためには、特定のタグ指令を発生したり利用したりし、その指令が前述のようにディスク・キャッシュ(16)を制御し、

-62-

よつてキャッシュ動作を行うようにしなければならぬ。タグ指令は通常の取込かへて用いられることが出来るが、重要なことはディスク・キャッシュを付勢するたのみに選ばれたタグ指令が真実としたものでなく、かつディスクI/Oサブシステムの領域内内角つた意味としてデコードされた他のタグ指令と区別されないようにしておく必要がある。好ましい実施例に於ては、キャッシュ領域を制御するタグ指令としては、バス・アウトに可変値を有するタグ・デコード00 (box)を用いることが望ましいことが判明した。タグ・ゼロ指令を記憶制御装置(18)からディスク・キャッシュ(16)が受けると、ディスク・キャッシュはディスク・サブシステムを制御し、上述のように定めらる必要な動作を遂行する。対応するIBM社の入力/出力サブシステムの定義に於ては、タグ・モード00に未使用のCTLタグ・アウト・バス(タグ・ビット0, 3, 4, 5, 6, 7, 全て0に相当)で、これはCTLバス・アウトのラインに用いられる。

可変データ速度

-63-

度の特徴を知るには、まず先行遅延が与えた制約を理解する必要がある。第14図を参照すると、先行遅延によるSYNC INとSYNC OUTが記載されている。基本的なタイミング関係はエッジ(200)、(204)間、エッジ(204)、(208)間、及びエッジ(208)、(212)間によつて規定される。これらのパルス間の時間は均等で、論理ディスク・メモリアクセスポ・エンコードされた情報によつて直接形成されるクロッキング・パルスによつて制御される。エッジ(200)、(201)間、エッジ(204)、(205)間、エッジ(208)、(209)間、及びエッジ(212)、(213)間の時間は第1図のディスク・ストリング制御(12)内のハードウェアによつて制御される。SYNC INパルス(200, 204, 208, 212)の先行エッジとSYNC OUTパルス(202, 206, 210, 214)の先行エッジ間の時間関係、及びSYNC INパルス(210, 205, 209, 213)の後端エッジとSYNC OUTパルス(203, 207, 211, 215)の後端エッジ間の時間関係は記憶制御装置(18)内のCTLテーブル・ディレーとハードウェア・ディレーによ

-64-

つて定められる。SYNC OUTパルス((202)と(205)間の時間関係、(206)と(207)間の時間関係、(210)と(211)間の時間関係、及び(214)と(215)間の時間関係)の先行エッジと後端エッジ間の時間は、記憶制御装置(18)内のハードウェア、及びSYNC IN内のディレー・遅延特性によつて制御される。

可変データ速度の概念を用いると、従来のSYNC INとSYNC OUTの関係とは著しく異なる遅延パルスが得られる。可変データ速度の概念を用いると、SYNC INパルスの先行エッジはSYNC OUTパルスに對して反復的な遅延関係を生じない。第15図を参照すると、位置(216)、(220)間、及び位置(220)、(224)間の時間はディスク・キャッシュ(16)のハードウェアの伝送速度、及び電子制御によつて制御されるものであり、ディスク記憶装置の伝送速度によつて制御されるものではない。エッジ(216)、(220)間、及びエッジ(220)、(224)間の時間は、公知のSYNC INパルスの遅延係として示される第14図のエッジ(200)、(204)間、

ディスク・キャッシュ(16)内の可変データ速

-65-

度の特徴を知るには、まず先行遅延が与えた制約を理解する必要がある。第14図を参照すると、先行遅延によるSYNC INとSYNC OUTが記載されている。基本的なタイミング関係はエッジ(200)、(204)間、エッジ(204)、(208)間、及びエッジ(208)、(212)間によつて規定される。これらのパルス間の時間は均等で、論理ディスク・メモリアクセスポ・エンコードされた情報によつて直接形成されるクロッキング・パルスによつて制御される。エッジ(200)、(201)間、エッジ(204)、(205)間、エッジ(208)、(209)間、及びエッジ(212)、(213)間の時間は第1図のディスク・ストリング制御(12)内のハードウェアによつて制御される。SYNC INパルス(200, 204, 208, 212)の先行エッジとSYNC OUTパルス(202, 206, 210, 214)の先行エッジ間の時間関係、及びSYNC INパルス(210, 205, 209, 213)の後端エッジとSYNC OUTパルス(203, 207, 211, 215)の後端エッジ間の時間関係は記憶制御装置(18)内のCTLテーブル・ディレーとハードウェア・ディレーによ

つて制御される。SYNC OUTパルス((202)と(205)間の時間関係、(206)と(207)間の時間関係、(210)と(211)間の時間関係、及び(214)と(215)間の時間関係)の先行エッジと後端エッジ間の時間は、記憶制御装置(18)内のハードウェア、及びSYNC IN内のディレー・遅延特性によつて制御される。

可変データ速度の概念を用いると、従来のSYNC INとSYNC OUTの関係とは著しく異なる遅延パルスが得られる。可変データ速度の概念を用いると、SYNC INパルスの先行エッジはSYNC OUTパルスに對して反復的な遅延関係を生じない。第15図を参照すると、位置(216)、(220)間、及び位置(220)、(224)間の時間はディスク・キャッシュ(16)のハードウェアの伝送速度、及び電子制御によつて制御されるものであり、ディスク記憶装置の伝送速度によつて制御されるものではない。エッジ(216)、(220)間、及びエッジ(220)、(224)間の時間は、公知のSYNC INパルスの遅延係として示される第14図のエッジ(200)、(204)間、

-66-

エッジ (204)、(208) 間、及びエッジ (208)、(212) 間の時間よりも小であることと規定されたい。すなわち、可変データ速度の下での転送速度は先行技術の速度よりも速い。なぜなら、転送速度はダイスタ・キャプシユ (16) の電子制御によって制御されるからであり、機械的な伝送装置によって制御されるものではないからである。

エッジ (224)、(228) 間、及びエッジ (228)、(232) 間の時間は SYNC OUT の後端エッジの電子制御によるタイミングによって制御される。SYNC OUT の後端パルスのエッジ (227)、(231) が通過できればエッジ (224)、(228) 間、及びエッジ (228)、(232) 間の一時的関係が制御される。SYNC IN パルスのエッジ (228)、(232) は、SYNC OUT パルスの後端エッジ (227)、(231) が通過された後にのみ発生する。SYNC OUT パルスの後端エッジ (227)、(231) は各先行エッジ (226)、(230) からかなり遅延して示されている。なぜなら、エッジ (227)、(231) は、内部記憶制御装置のデータ・バッファが他の CTL データ転送に使用しえないと

-67-

きに再び記憶制御装置のヘッドウェアによって送られるからである。内部記憶装置データ・バッファは、CTL データ転送速度がチャネル・データ転送速度を超えるときと使用できなくなる。従って、ダイスタ・キャプシユ・サブシステムは明記される可変データ速度の例によれば、SYNC OUT パルスの先行エッジ (226) と後端エッジ (227) 間の時間、及び SYNC OUT パルスの先行エッジ (230) と後端エッジ (231) 間の時間は、チャネル・データ転送速度が CTL データ転送速度と同等か、それを超える必要がある時間を示す。従って、CTL データ転送速度とチャネル転送速度間には「同期」作用が存在する。データ転送速度は「可変」である。従って、エッジ (224)、(228) 間、及びエッジ (228)、(232) 間の時間は、サブシステム・ハードウェア・ライン・ドライバとライン・レシーバを含む CTL ケーブル、及びダイスタ・キャプシユ・メモリと電子制御が生じた遅延時間から成る。先行技術の装置の場合と同様に、SYNC IN パルスの先行エッジと SYNC OUT パルスの先行エッジ間（すなわち、

-68-

位置 (216)、(218) 間、位置 (220)、(222) 間、位置 (224)、(226) 間、位置 (228)、(230) 間、及び位置 (232)、(234) 間) の時間は、CTL ケーブル・ダイレー、及び記憶制御装置のヘッドウェア・ダイレー、すなわちライン・ドライバ、ライン・レシーバ、から成る。

先行技術の場合と同様に、SYNC IN と SYNC OUT の一時的関係、エッジ (217)、(219) 間の時間、エッジ (221)、(225) 間の時間、及びエッジ (225)、(229) 間の時間は同じく内部バッファや記憶制御装置ライン・ドライバ/ライン・レシーバのダイレーを利用してきるか否かをキマにするための記憶制御装置ヘッドウェア・ダイレー、及び CTL ケーブル・ダイレーを含む。先行技術には見られなくて可変データ速度装置の特徴をなすものは、チャネルのダイレーによってエッジ (225)、(227)、及びエッジ (229)、(231) 間が付加的に遅延されて情報のバイトを送信する（すなわち、内部記憶制御装置のデータ・バッファを使用し得るようになる）。位置 (216)、(217)、位置 (220)、(221)、

-69-

位置 (224)、(225)、位置 (228)、(229)、及び位置 (232)、(233) 間の時間は、良好な形態を具えかつ十分持続時間を有するパルスを生ずるよう設計されるダイスタ・キャプシユ (16) によって制御される。

従って、ここに示した可変データ速度によれば、公知技術ではなしに遅延されない速度でデータをダイスタ・キャプシユ (16) とチャネル (8) 間で伝送し得ることが理解できよう。データ転送速度は本質的にチャネル (8) のデータ速度によって制御される。

4. 図面の簡単な説明

第 1 図は従来のコンピュータ・システムの略図であり、第 2 図はダイスタ・キャプシユ・システムを使用するコンピュータ・システムの略図であり、第 3 図は第 6 図、第 7 図及び第 7 b 図の成立を示す図であり、第 4 図はダイスタ・キャプシユを、記憶制御装置を使用しないコンピュータ・システムに適用した場合の別の費用効果の略図であり、第 5 図はダイスタ・キャプシユの主要な

-70-

遅延等値に対する SYNC IN / SYNC OUT パルスのパルス・トレイン図である。

- 2, 36 ... 中央処理装置
- 10, 18 ... 記憶制御装置
- 12, 20 ... ディスク・制御装置
- 14 ... ディスク・ドライブ
- 16 ... ディスク・キャッシュ
- 52 ... ロード/セクタ・マイクロプロセッサ
- 58, 90 ... インタフェイス

特許出願代理人

弁護士 山崎 行彦

- 72 -

ードフニア構成の構成であり、第6図は、ディスク・キャッシュのディスク制御装置へのインタフェースの構成であり、第7図はディスク・キャッシュ・インタフェース・コントロール・ロジックの構成であり、第7B図はキャッシュ・コントロール・マイクロプロセッサ、ロード/セクタ・マイクロプロセッサ及びキャッシュ・メモリの構成であり、第8図はディスク・キャッシュの実装されたハードウェア・コンフィギュレーションであり、第9図はハードウェア・コントロールに關するタフ・ゼロ・モードの図であり、第10図はハードウェア・コントロールに關するSCUモードの図であり、第11図はハードウェア・コントロールに關するコントロール・モードの図であり、第12図はハードウェア・コントロールに關するバス・スレー・モードの図であり、第13図はディスク・キャッシュのマイクロプログラムの流れ図であり、第14図は先行技術の SYNC IN / SYNC OUT パルスのパルス・トレイン図であり、及び第15図はディスク・キャッシュの可変データ

- 71 -

図面の抄略(内容に変更なし)

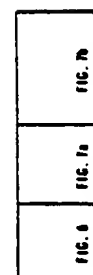
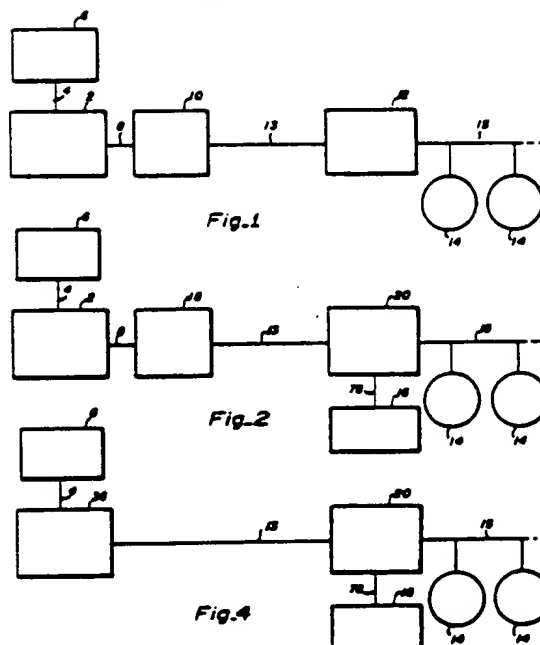


Fig. 3

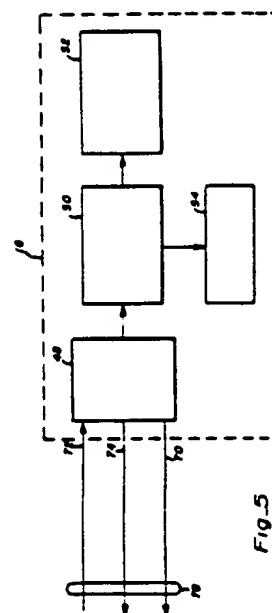


Fig. 5

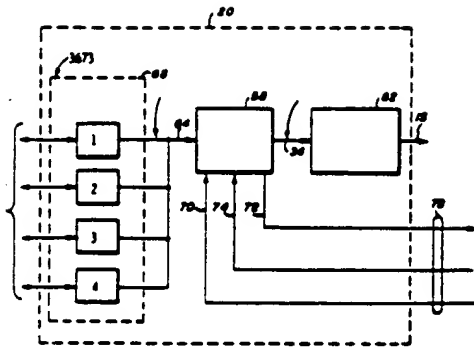


Fig.6

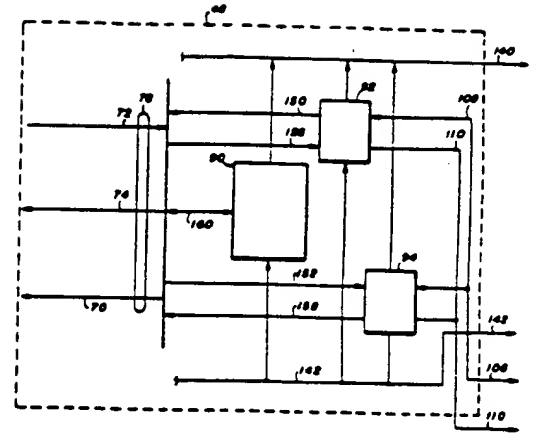


Fig.7a

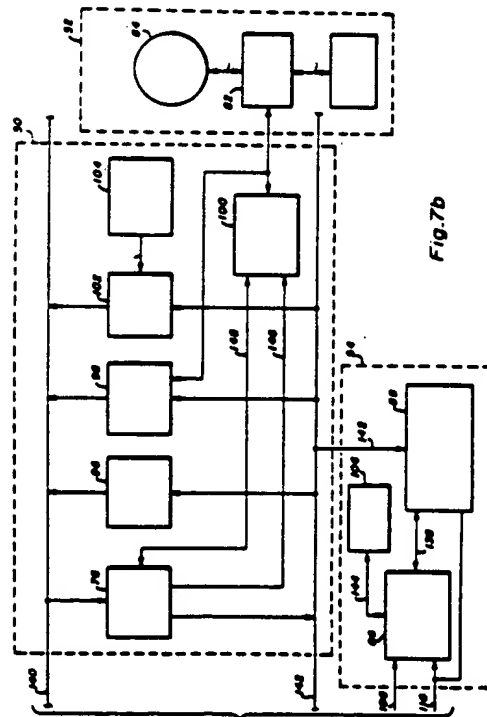


Fig. 7b

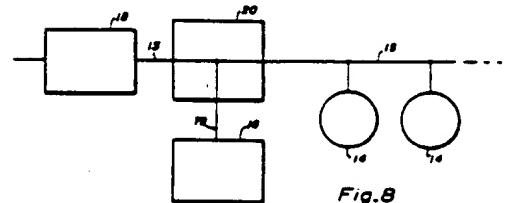


Fig.8

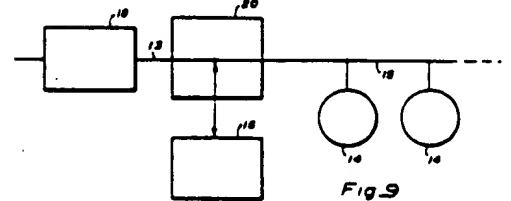


Fig. 9

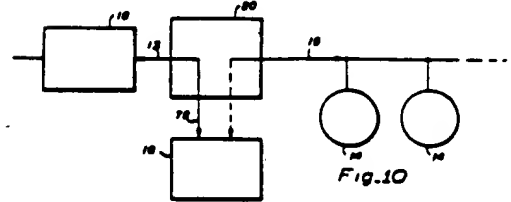
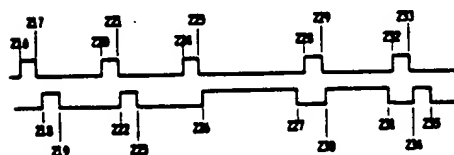
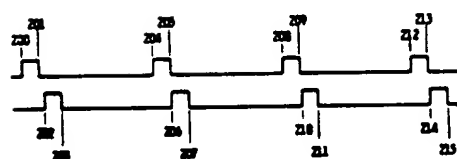
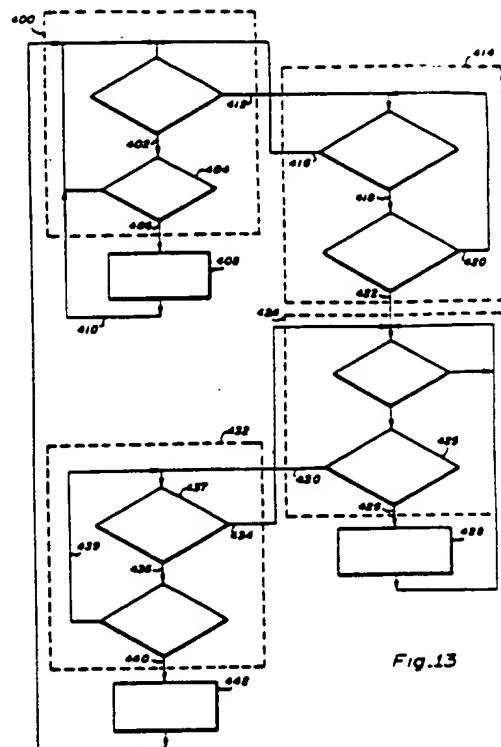
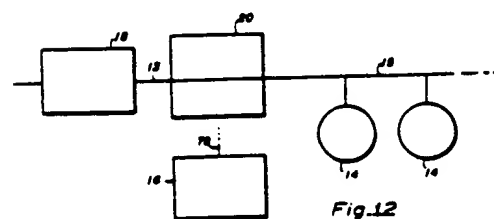
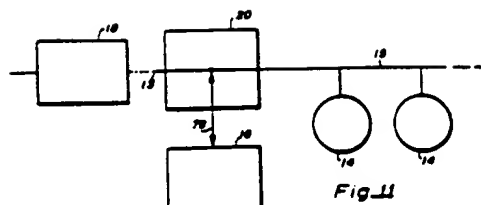


Fig.10



第 1 頁の続き

⑦発 明 者 ジェシイ・インゲブライト・スタムネス
アメリカ合衆国カリフォルニア州サニーベール・マンダリン・ドライブ1227

⑧発 明 者 リン・ウエルドン・ウイツフイールド
アメリカ合衆国カリフォルニア州サン・ホーゼ・バリ・グレン・ドライブ6150

手続補正書(自発)

昭和55年6月10日

特許庁長官殿

1. 事件の表示

昭和55年特許第 75197 号

2. 発明の名称

ディスク・キヤツシュ・サブシステム

3. 補正をする者

事件との関係 出願人
名称(氏名) ノモレツクス・コーポレーション

4. 代理人

住所 東京都千代田区本町1丁目11番2号 東京法律ビルディング4階
氏名 (7101) 弁護士 山崎行雄 氏
事務所
(8001) 弁護士 高石橋 氏

5. 補正命令の日付

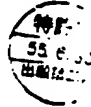
昭和 年 月 日

6. 補正の対象

明細書の序言
(内容に変更なし)

7. 補正の内容

別紙のとおり



手続補正書(自発)

昭和55年7月11日

特許庁長官殿

1. 事件の表示

昭和55年特許第 75197 号

2. 発明の名称

ディスク・キヤツシュ・サブシステム

3. 補正をする者

事件との関係 出願人
名称(氏名) ノモレツクス・コーポレーション

4. 代理人

住所 東京都千代田区本町1丁目11番2号 東京法律ビルディング4階
氏名 (7101) 弁護士 山崎行雄 氏
事務所
(8001) 弁護士 高石橋 氏

5. 補正命令の日付

昭和 年 月 日

6. 補正の対象

明細書中特許出願人の氏名、住所、正式出品、
委託状及び向款文

7. 補正の内容

別紙のとおり



THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☒ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)